

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-211201

(43)Date of publication of application : 03.08.2001

(51)Int.Cl. H04L 12/56
H04J 3/00
H04J 3/04

(21)Application number : 2000-015219

(71)Applicant : N I C CABLE MEDIA KK

(22)Date of filing : 25.01.2000

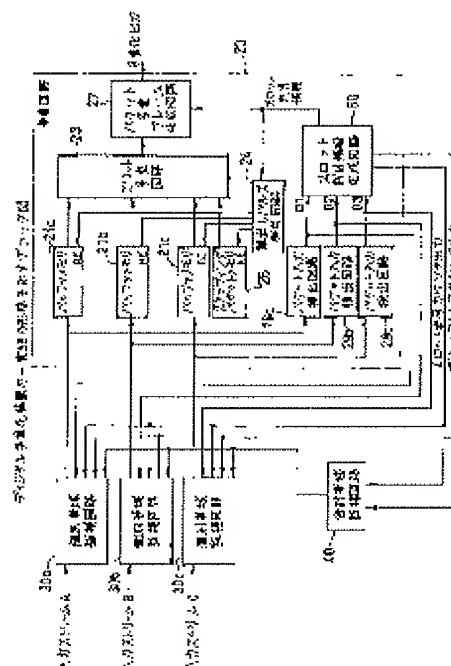
(72)Inventor : KAWAYANAI NOBORU

(54) DIGITAL MULTIPLEXER AND ITS METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital multiplexer that can ensure a transmission band to each input signal and permits each input signal to use an allowance band, when there is room in the multiplexed output band.

SOLUTION: A multiplexer circuit 20 assigns transmission slots in each multiplex frame at a time of input of packets of each of input stream signals A-C, individual band monitor circuits 30a, 30b, 30c monitor each input rate of each input stream signal and a total and monitor circuit 40 monitors a total rate, after multiplexing. In the case that the total rate exceeds a multiplexed output band and there is an input signal received in excess of each warrant band, the input rate of the input signal received in excess of the ensured band is limited.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-211201

(P2001-211201A)

(43)公開日 平成13年8月3日(2001.8.3)

(51)Int.Cl.⁷

識別記号

F I

サーチコード^{*}(参考)

H 0 4 L 12/56

H 0 4 J 3/00

M 5 K 0 2 8

H 0 4 J 3/00

3/04

Z 5 K 0 3 0

3/04

H 0 4 L 11/20

1 0 2 F

審査請求 有 請求項の数16 O L (全 20 頁)

(21)出願番号 特願2000-15219(P2000-15219)

(22)出願日 平成12年1月25日(2000.1.25)

(71)出願人 000228512

エヌイーシーケーブルメディア株式会社

東京都港区芝二丁目31番25号 NEC別館

(72)発明者 川谷内 登

東京都港区芝二丁目31番25号 エヌイーシー
ケーブルメディア株式会社社内

(74)代理人 100088812

弁理士 ▲柳▼川 信

Fターム(参考) 5K028 AA11 EE03 KK01 KK12 KK32

LL12

5K030 GA03 HA08 HB02 HB09 HB29

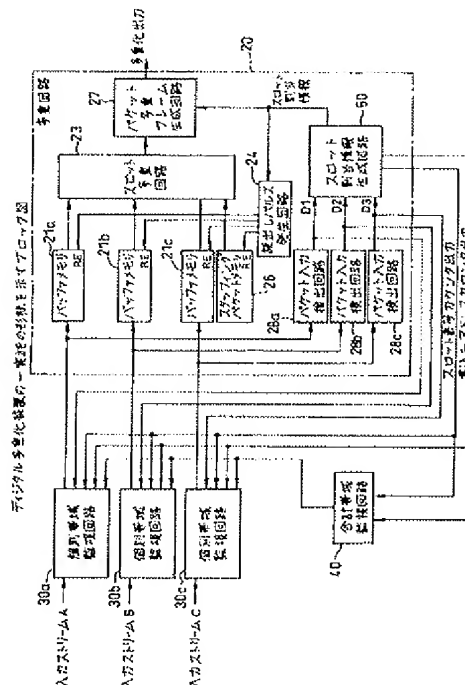
JA01 JA05 KA03

(54)【発明の名称】 デジタル多重化装置およびその方法

(57)【要約】

【課題】 各入力信号に対して伝送帯域を保証すると共に多重化出力帯域に余裕が生じたときは、各入力信号が余裕帯域を使用できるデジタル多重化装置を提供する。

【解決手段】 各入力ストリーム信号A～Cのパケットの入力時点に応じて多重フレームでの伝送スロットを、多重回路20で割り当てると共に、各入力ストリーム信号の個々の入力レートを個別帯域監視回路30a、30b、30cにより監視し、また多重後の合計レートを合計帯域監視回路40で監視する。合計レートが多重化出力帯域を超過したときにおいて、個々の保証帯域を超過して入力している入力信号があったときは、保証帯域を超過して入力している入力信号の入力レートを制限する。



【特許請求の範囲】

【請求項1】 複数の固定長パケット形式入力信号を複数の伝送スロットで構成された多重化フレームに多重化し送出する多重化手段と、前記入力信号の帯域と該入力信号に対する保証帯域との大小を検出する保証帯域検出手段と、前記複数の入力信号の帯域の合計値が多重化出力帯域を超過したことを検出する多重化出力帯域超過検出手段と、前記複数の入力信号の帯域の合計値が前記多重化出力帯域を超過したことを検出したときに、入力信号の帯域が保証帯域より大きいことが検出された前記入力信号に対しては多重化を阻止する多重化阻止手段とを含むことを特徴とするデジタル多重化装置。

【請求項2】 前記多重化手段は、固定長パケット形式入力信号のパケットの入力時点に応じて前記パケットを前記多重化フレームの伝送スロットに割り当てると共に、前記入力信号のパケットが割り当てられなかった伝送スロットにはスタッフィング用のヌルパケットを割り当てる手段と、複数の前記入力信号のパケットおよびヌルパケットに対する割当に従って、前記伝送スロットに前記入力信号の各々のパケットおよびヌルパケットを多重化し送出する手段とを有することを特徴とする請求項1記載のデジタル多重化装置。

【請求項3】 前記保証帯域検出手段は、入力信号のパケットの入力毎にアップカウントし、保証帯域に基づく発生頻度のパルスによってダウンカウントするアップダウンカウンタを有することを特徴とする請求項1または2記載のデジタル多重化装置。

【請求項4】 前記多重化出力帯域超過検出手段は、前記割り当てられた伝送スロット数と伝送される伝送スロット数との差を検出する手段と、前記差が閾値を越えたことを検出する手段とを有することを特徴とする請求項1～3いずれか記載のデジタル多重化装置。

【請求項5】 前記保証帯域検出手段は、前記アップダウンカウンタのカウント値と閾値との大小を比較する比較手段を有することを特徴とする請求項3または4記載のデジタル多重化装置。

【請求項6】 前記多重化阻止手段は、前記多重化出力帯域超過検出手段が前記多重化出力帯域の超過を検出し、かつ前記保証帯域検出手段により前記アップダウンカウンタのカウント値が前記閾値より大となったことが検出された場合に、対応する入力信号の通過を阻止するようにしたことを特徴とする請求項5記載のデジタル多重化装置。

【請求項7】 前記多重化阻止手段は、前記入力信号のうちの特定のパケットのみを選択して阻止するようにしたことを特徴とする請求項1～6いずれか記載のデジタル多重化装置。

【請求項8】 前記多重化阻止手段は、前記入力信号のパケット識別子の値に応じて選択阻止をなすようにしたことを特徴とする請求項7記載のデジタル多重化装

置。

【請求項9】 複数の固定長パケット形式入力信号を複数の伝送スロットで構成された多重化フレームに多重化し送出する多重化ステップと、前記入力信号の帯域と該入力信号に対する保証帯域との大小を検出する保証帯域検出ステップと、前記複数の入力信号の帯域の合計値が多重化出力帯域を超過したことを検出する多重化出力帯域超過検出ステップと、前記複数の入力信号の帯域の合計値が前記多重化出力帯域を超過したことを検出したときに、入力信号の帯域が保証帯域より大きいことが検出された前記入力信号に対しては多重化を阻止する多重化阻止ステップとを含むことを特徴とするデジタル多重化方法。

【請求項10】 前記多重化ステップは、固定長パケット形式入力信号のパケットの入力時点に応じて前記パケットを前記多重化フレームの伝送スロットに割り当てると共に、前記入力信号のパケットが割り当てられなかった伝送スロットにはスタッフィング用のヌルパケットを割り当てるステップと、複数の前記入力信号のパケットおよびヌルパケットに対する割当に従って、前記伝送スロットに前記入力信号の各々のパケットおよびヌルパケットを多重化し送出するステップとを有することを特徴とする請求項9記載のデジタル多重化方法。

【請求項11】 前記保証帯域検出ステップは、アップダウンカウンタを使用して、入力信号のパケットの入力毎にアップカウントせしめ、保証帯域に基づく発生頻度のパルスによってダウンカウントせしめることを特徴とする請求項9または10記載のデジタル多重化方法。

【請求項12】 前記多重化出力帯域超過検出ステップは、前記割り当てられた伝送スロット数と伝送される伝送スロット数との差を検出するステップと、前記差が閾値を越えたことを検出するステップとを有することを特徴とする請求項9～11いずれか記載のデジタル多重化方法。

【請求項13】 前記保証帯域検出ステップは、前記アップダウンカウンタのカウント値と閾値との大小を比較するステップを有することを特徴とする請求項11または12記載のデジタル多重化方法。

【請求項14】 前記多重化阻止ステップは、前記多重化出力帯域超過検出ステップが前記多重化出力帯域の超過を検出し、かつ前記保証帯域検出ステップにより前記アップダウンカウンタのカウント値が前記閾値より大となったことが検出された場合に、対応する入力信号の通過を阻止するようにしたことを特徴とする請求項13記載のデジタル多重化方法。

【請求項15】 前記多重化阻止ステップは、前記入力信号のうちの特定のパケットのみを選択して阻止するようにしたことを特徴とする請求項9～14いずれか記載のデジタル多重化方法。

【請求項16】 前記多重化阻止ステップは、前記入力

10

20

30

40

50

信号の packets 識別子の値に応じて選択阻止をなすようにしたことを特徴とする請求項 15 記載のデジタル多重化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデジタル多重化装置およびその方法に関し、特に複数の MPEG-2 (Moving picture Experts Group Phase 2) 規格の TS (Transport Stream) パケット形式入力信号等の packets データ信号を多重化する packets 多重化方式に関するものである。

【0002】

【従来の技術】MPEG-2 規格 (ISO/IEC 13818-1) の複数の TS を、TS パケット形式の伝送スロットで構成された多重フレームに多重化し伝送する方法には、従来、映像情報メディア学会技術報告 RFT 99-71 (1999 年 7 月 27 日)「ケーブルテレビ複数 MPEG-TS 多重方式の一提案」に示された方法がある。

【0003】この文献に示された方法においては、入力する TS の伝送レートに応じて伝送スロット数を予め固定数 N で割り当て、多重フレーム内の伝送スロットに各 TS の TS パケットを配置して伝送する。このとき、入力の伝送レートと固定数 N による送出レートとの速度差はヌルパケットを挿入し調整している。固定数 N 個が割り当てられた伝送スロットの配置については、多重フレーム内の固定された位置に常に配置されるものと考えられる。

【0004】この従来の多重化では、伝送スロット数を固定数で割り当てているため、入力する TS に対して、割り当てた伝送スロット数による伝送帯域が予め与えられると共に、与えられた帯域を超過した伝送レートで TS が入力した場合は、多重化が制限される。なお、このような多重フレーム内に伝送スロットを固定数割り当てて多重化伝送する方法は、放送サービス用の TS 伝送以外にも、通信分野においては電話サービスやデータ伝送サービスのデジタル多重伝送方式におけるサービス回線設定方法として、packets 形式信号の多重化に限ることなく従来より使用されているものである。

【0005】図 16 はこのような従来の packets 多重化装置のブロック図である。図では、3 個の TS パケット形式の入力ストリームを多重化して伝送する例を示している。図 16 において、バッファメモリ 21a には、入力ストリーム A が入力され、バッファメモリ 21b には、入力ストリーム B が入力され、バッファメモリ 21c には、入力ストリーム C が入力されている。バッファメモリ 21a、21b、21c の出力はそれぞれスロット多重回路 23 の入力に接続されている。

【0006】また、バッファメモリ 21a の UF 端子からはアンダーフローを示す信号が AND ゲート 18a の

一方の入力端子に出力されており、バッファメモリ 21b の UF 端子からはアンダーフローを示す信号が AND ゲート 18b の一方の入力端子に出力されており、バッファメモリ 21c の UF 端子からはアンダーフローを示す信号が AND ゲート 18c の一方の入力端子に出力されている。

【0007】読み出しパルス発生回路 24 には、スロット割当情報が入力してされており、読み出しパルス発生回路 24 はスロット割当情報に従って読み出しパルスを発生し、バッファメモリ 21a、21b、21c の読み出し制御端子 RE および OR ゲート 19 の一方の入力端子に出力している。また、バッファメモリ 21a の読み出し制御端子 RE に入力されている読み出しパルスは、AND ゲート 18a の他方の入力端子にも入力されており、バッファメモリ 21b の読み出し制御端子 RE に入力されている読み出しパルスは、AND ゲート 18b の他方の入力端子にも入力されており、バッファメモリ 21c の読み出し制御端子 RE に入力されている読み出しパルスは、AND ゲート 18c の他方の入力端子にも入力されている。

【0008】AND ゲート 18a、18b、18c の出力はそれぞれ OR ゲート 19 の他の入力端子に入力されており、OR ゲートの出力はスタッフィングパケットメモリ 26 の読み出し制御端子 RE に入力されており、スタッフィングパケットメモリ 26 の出力はスロット多重回路 23 の入力に接続されている。スロット多重回路 23 はバッファメモリ 21a、21b、21c およびスタッフィングパケットメモリ 26 の出力を多重し、packets 多重フレーム生成回路 27 に出力する。

【0009】packets 多重フレーム生成回路 27 には、スロット割当情報が入力されており、packets 多重フレーム生成回路 27 はスロット割当情報を伝送するヘッダ packets パケットを作成すると共に、スロット多重回路 23 の出力にヘッダ packets パケットを多重して packets 多重フレームを生成し出力している。

【0010】このような、図 16 の従来の packets 多重化装置の動作について説明する。従来技術の図 16 の packets 多重化装置においては、予め作成された 1 packets 多重フレーム分のスロット割当情報が読み出しパルス発生回路 24 および packets 多重フレーム生成回路 27 に与えられている。スロット割当情報には、packets 多重フレーム内の伝送スロット単位に多重する入力ストリームを示す情報あるいはスタッフィングのためのヌル packets パケットの多重を示す情報が記されている。

【0011】読み出しパルス発生回路 24 は、packets 多重フレーム周期毎に、スロット割当情報に従って読み出しパルスを発生し、バッファメモリ 21a、21b、21c の各読み出し制御端子 RE または OR ゲート 19 へ繰り返し出力する。OR ゲート 19 に入力された読み出しパルスは OR ゲート 19 を通過してスタッフィング

パケットメモリ26の読み出し制御端子REに入力されている。このとき、読み出しパルス発生回路24から出力されるそれぞれの読み出しパルスの数と位置、すなわち、各メモリの読み出し制御端子REに与えられる読み出しパルスの数と位置はスロット割当情報に従って定まっております、かつパケット多重フレーム周期毎に同一である。

【0012】バッファメモリ21a、21b、21cには、接続されている入力ストリームのTSパケットが書き込まれて蓄積され、各バッファメモリからは、読み出しパルスが読み出し制御端子REに入力される毎に、TSパケットが1個ずつ取り出されてスロット多重回路23に出力される。スタッキングパケットメモリ26には予めヌルパケットが蓄積されており、読み出しパルスが読み出し制御端子REに入力される毎に読み出されて、スロット多重回路23に出力される。

【0013】バッファメモリのUF端子からは、未読み出しのTSパケットが存在するときは値‘0’が出力され、未読み出しのTSパケットがないときは値‘1’が出力される。また、バッファメモリは、未読み出しのTSパケットがないときは、読み出し制御端子REに読み出しパルスが入力されても出力しないように構成されている。バッファメモリ内に未読み出しのTSパケットがないときは、UF端子からはアンダーフローを示す信号値‘1’がANDゲートに出力されている。

【0014】したがって、このとき、入力した読み出しパルスはANDゲートを通過してORゲート19に入力され、ORゲート19を通過してスタッキングパケットメモリ26の読み出し制御端子REに与えられる。このとき、スタッキングパケットメモリ26からはヌルパケットが読み出されてスロット多重回路23に出力され、ヌルパケットは、さらに、スロット多重回路23を経てパケット多重フレーム生成回路27に入力される。

【0015】したがって、図16のパケット多重化装置においては、1パケット多重フレーム時間毎に、各入力ストリームのTSパケットおよびスタッキングのためのヌルパケットが、予め作成されたスロット割当情報にて割り当てられている数だけ多重化されて送出される。また、入力ストリームにおいて、1パケット多重フレーム時間当たりに入力するTSパケット数が、予め作成されたスロット割当情報にて割り当てられている数よりも少ないときは、入力ストリームのTSパケットの代わりにヌルパケットが挿入されてパケット多重フレームに多重化される。

【0016】また、1パケット多重フレーム時間当たりに入力されるTSパケット数が、予め作成されたスロット割当情報にて割り当てられている数よりも多いときは、スロット割当情報にて割り当てられている数だけしかバッファメモリから読み出されないで、当該入力ストリームに対するバッファメモリはオーバーフローす

る。したがって、スロット割当情報に記された、各入力ストリームを示す情報のそれぞれの個数は、多重化において許容される各入力ストリームそれぞれの最大伝送帯域を表すものであり、しかもそれらは予め作成されたスロット割当情報によって定められている。

【0017】

【発明が解決しようとする課題】しかしながら、このような従来のデジタル多重化装置では、各入力ストリームには、伝送スロット1個分の伝送帯域を単位として、最大伝送帯域がその整数倍で割り当てられるため、各入力ストリームの実際の伝送レートに対して伝送帯域を細かく設定できないという問題があり、各入力ストリームの伝送レートが、割り当てた伝送スロット数に基づく最大伝送帯域と一致しないときは、1入力ストリーム当たり最大で1伝送スロット未満の伝送帯域の無駄が生じる。このため、多重化効率が悪くなるという問題がある。すなわち、1パケット多重フレーム時間に入力するTSパケット数が、スロット割当情報により割り当てられた1パケット多重フレーム時間内の伝送スロット数よりも小さく、両方の数が一致しないときは、パケット多重化フレーム構造を維持するために、その差に応じてヌルパケットがTSパケットの代わりに割り当てた伝送スロットの中に挿入される。このとき、他の入力ストリームは、ヌルパケットがTSパケットの代わりに挿入された伝送スロットを伝送に使用することができない。

【0018】また、伝送スロット1個分の伝送帯域を小さくし、入力ストリームに対する最大伝送帯域を細かく設定しようすると、フレーム長(1パケット多重化フレームの伝送スロット総数)を大きくしなければならず、バッファメモリ容量を多く必要とし、かつ受信におけるフレーム同期時間が増大するという問題がある。

【0019】さらに、予め各入力ストリームに対する最大伝送帯域が、割り当てた伝送スロット数に基づき固定されているため、伝送レートが変化する入力ストリームに対しては最大伝送レートに対応した最大伝送帯域を予め設定して与えておかねばならず、与えた最大伝送帯域よりも少ない伝送レートで入力している間は伝送帯域に大きな無駄が生じるという問題がある。また、そのときの最大伝送帯域と実際の入力ストリームの伝送レートとの差分の帯域は他の入力ストリームに融通することができないという問題がある。したがって、可変レートのデジタルサービスを伝送する入力ストリームを多重化する場合には、多重化効率が大きく低下するという問題がある。

【0020】本発明は、上記の問題点に鑑みてなされたものであり、各入力信号に対して伝送帯域を保証すると共に、多重化出力帯域に余裕が生じたときは、各入力信号が余裕帯域を使用できるデジタル多重化装置およびその方法を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明によるデジタル多重化装置は、複数の固定長パケット形式入力信号を複数の伝送スロットで構成された多重化フレームに多重化し送出する多重化手段と、前記入力信号の帯域と該入力信号に対する保証帯域との大小を検出する保証帯域検出手段と、前記複数の入力信号の帯域の合計値が多重化出力帯域を超過したことを検出する多重化出力帯域超過検出手段と、前記複数の入力信号の帯域の合計値が多重化出力帯域を超過したことを検出したときにおいて、入力信号の帯域が保証帯域より大きいことが検出された前記

【0022】そして、前記多重化手段は、固定長パケット形式入力信号のパケットの入力時点に応じて前記パケットを前記多重化フレームの伝送スロットに割り当てると共に、前記入力信号のパケットが割り当てられなかった伝送スロットにはヌルパケットを割り当てる手段と、複数の前記入力信号のパケットおよびヌルパケットに対する割当てに従って、前記伝送スロットに前記入力信号の各々のパケットおよびヌルパケットを多重化し送出する

【0023】また、前記保証帯域検出手段は、入力信号のパケットが入力する毎にアップカウントし、保証帯域に基づく発生頻度のパルスによってダウンカウントするアップダウンカウンタを有することを特徴とする。更に、前記多重化出力帯域超過検出手段は、前記割り当てられた伝送スロット数と伝送される伝送スロット数との差を検出する手段と、前記差が閾値を越えたことを検出する手段とを有することを特徴とする。更に、前記保証帯域検出手段は、前記アップダウンカウンタのカウン

【0024】本発明によるデジタル多重化方法は、複数の固定長パケット形式入力信号を複数の伝送スロットで構成された多重化フレームに多重化し送出する多重化ステップと、前記入力信号の帯域と該入力信号に対する保証帯域との大小を検出する保証帯域検出ステップと、前記複数の入力信号の帯域の合計値が多重化出力帯域を超過したことを検出する多重化出力帯域超過検出ステップと、前記複数の入力信号の帯域の合計値が多重化出力帯域を超過したことを検出したときにおいて、入力信号の帯域が保証帯域より大きいことが検出された前記入力信号に対しては多重化を阻止する多重化阻止ステップとを含むことを特徴とする。

【0025】また、前記多重化ステップは、固定長パケット形式入力信号のパケットの入力時点に応じて前記パ

ケットを前記多重化フレームの伝送スロットに割り当てると共に、前記入力信号のパケットが割り当てられなかった伝送スロットにはヌルパケットを割り当てるステップと、複数の前記入力信号のパケットおよびヌルパケットに対する割当てに従って、前記伝送スロットに前記入力信号の各々のパケットおよびヌルパケットを多重化し送出するステップとを有することを特徴とする。更に、前記保証帯域検出ステップは、入力信号のパケットが入力する毎に、アップダウンカウンタをアップカウントし、保証帯域に基づく発生頻度のパルスによって前記アップダウンカウンタをダウンカウントすることを特徴とする。更にはまた、前記多重化出力帯域超過検出ステップは、前記割り当てられた伝送スロット数と伝送される伝送スロット数との差を検出するステップと、前記差が閾値を越えたことを検出するステップとを有することを特徴とする。更に、前記保証帯域検出ステップは、前記アップダウンカウンタのカウンタ値と閾値との大小を比較するステップを有することを特徴とし、また前記多重化阻止ステップは、前記入力信号のうちの特定のパケットのみを選択して阻止するようにし、特に入力信号のパケット識別子の値に応じて選択阻止をなすようにしたことを特徴とする。

【0026】

【発明の実施の形態】本発明の上記および他の目的、特徴および利点を明確にすべく、以下添付した図面を参照しながら、本発明の実施の形態について詳細に説明する。本発明の実施形態のデジタル多重化装置では、各入力信号のTSパケットの入力時点に応じてパケット多重フレームでの伝送スロットを割り当てると共に、各入力信号の個々の入力TSパケットレートと合計レートをそれぞれ監視し、合計レートが多重化出力帯域を超過したときにおいて、個々の保証帯域を超過して入力されている入力信号があったときは、保証帯域を超過して入力されている入力信号の入力TSパケットレートを制限するという動作が行われる。

【0027】図1は本発明の実施形態におけるデジタル多重化装置の構成例を示したブロック図である。具体的には、本実施形態における多重回路20、個別帯域監視回路30a、30b、30cおよび合計帯域監視回路40にて構成されたデジタル多重化装置の構成例が示されており、入力ストリームA、入力ストリームB、入力ストリームCの3個のTSパケット形式の入力信号を多重化し送出する場合について図示している。

【0028】図1において、入力ストリームAは個別帯域監視回路30aを通して多重回路20の内部に備えられたバッファメモリ21aに入力され、入力ストリームBは個別帯域監視回路30bを通して多重回路20の内部に備えられたバッファメモリ21bに入力され、入力ストリームCは個別帯域監視回路30cを通して多重回路20の内部に備えられたバッファメモリ21cに入力

10

20

30

40

50

されている。

【0029】多重回路20の構成と動作は、本願の発明者により提案され出願中の特願平11-200970号の「デジタル多重伝送装置、デジタル多重伝送システム、およびデジタル多重伝送方法」（平成7月14日出願）に示されたもの（上記出願明細書に添付の図8の送信装置20）と同じである。多重回路20において、バッファメモリ21aは個別帯域監視回路30aを通過した入力ストリームAのTSパケットを蓄積し、バッファメモリ21bは個別帯域監視回路30bを通過した入力ストリームBのTSパケットを蓄積し、バッファメモリ21cは個別帯域監視回路30cを通過した入力ストリームCのTSパケットを蓄積する。スタッフィングパケットメモリ26はスタッフィング用のヌルパケットを予め蓄積している。

【0030】読み出しパルス発生回路24はスロット割当情報生成回路50から出力されるスロット割当情報に従って読み出しパルスを発生し、バッファメモリ21a、バッファメモリ21b、バッファメモリ21cおよびスタッフィングパケットメモリ26のいずれかの読み出しインーブル端子REに出力する。バッファメモリ21a、バッファメモリ21b、バッファメモリ21cは、読み出し制御端子REに読み出しパルスが入力される毎に、蓄積しているTSパケットをスロット多重回路23に出力する。

【0031】スタッフィングパケットメモリ26は、読み出し制御端子REに読み出しパルスが入力される毎に、予め蓄積しているヌルパケットをスロット多重回路23に出力する。スロット多重回路23には、バッファメモリ21a、バッファメモリ21b、バッファメモリ21cおよびスタッフィングパケットメモリ26の出力が接続されており、スロット多重回路23は、読み出しパルスによって出力されたTSパケットまたはヌルパケットを伝送スロットに多重化し、パケット多重フレーム生成回路27へ出力する。このスロット多重回路23はデータバスまたはシフトレジスタとセレクタ回路等で構成でき、当業者にとって容易に構成できるものであるため、その詳細な構成は省略する。

【0032】パケット多重フレーム生成回路27は、スロット割当情報生成回路50から出力されたスロット割当情報を伝送する多重化情報パケットMIPを生成すると共に、スロット多重回路23の出力と合わせて、図2に示すパケット多重フレームを生成し出力する。このパケット多重フレーム生成回路27はシフトレジスタとセレクタ回路等で構成でき、当業者にとって容易に構成できるものであるため、その詳細な構成は省略する。なお、スタッフィング用のヌルパケットは図2のペイロード部分にデータが存在しないパケットのことであり、よってヌルパケットと称される。

【0033】パケット入力検出回路28aはバッファメモリ21aへのTSパケットの入力を監視し、パケット

入力検出回路28bはバッファメモリ21bへのTSパケットの入力を監視し、パケット入力検出回路28cはバッファメモリ21cへのTSパケットの入力を監視し、それぞれ、1個のTSパケットがバッファメモリに入力完了する毎に、スロット割当情報生成回路50に対して検出信号を出力する。スロット割当情報生成回路50は、検出信号の入力に応じて、伝送スロットに多重化するTSパケットがいずれの入力ストリームのものであるかを示す情報、またはスタッフィングメモリから読み出したヌルパケットであることを示す情報であるスロット割当情報を生成し、読み出しパルス発生回路24およびパケット多重フレーム生成回路27に出力する。

【0034】すなわち、スロット割当情報生成回路50は、検出信号が発生したとき、該信号を発生したパケット入力検出回路が監視しているTSパケットの属する入力ストリームを示す情報をスロット割当情報として記憶し、いずれのパケット入力検出回路からも検出信号の発生が無かったときは、その時点までに割り当てたスロット割当情報数がそのときまでに伝送されるパケット多重フレームの伝送スロットの数よりも少ない場合は、スタッフィングを示す情報をスロット割当情報として記憶する。

【0035】スロット割当情報生成回路50は、前回の1パケット多重フレームの伝送時間中に記憶し終えた1パケット多重フレーム分のスロット割当情報を、次のパケット多重フレームの伝送時間中において、読み出しパルス発生回路24およびパケット多重フレーム生成回路27に出力する。

【0036】したがって、本実施形態における多重回路20では、個別帯域監視回路から出力される各入力ストリームのTSパケット数に応じて、各入力ストリームに対する1パケット多重フレーム中の伝送スロット数が自動的に割り当てられ、しかも入力ストリームに割り当てられる伝送スロットの1パケット多重フレーム内の位置は、個別帯域監視回路から出力される各入力ストリームのTSパケットが各バッファメモリに入力した時点に対応して定まるという動作が行われる。

【0037】図3には、本発明の一実施の形態として、多重回路20におけるスロット割当情報生成回路50のブロック図が示されている。このスロット割当情報生成回路50の構成と動作は、上述した特願平11-200970号明細書に添付の図4から図7と同じである。

【0038】図3において、リタイミング回路51a、リタイミング回路51b、リタイミング回路51cには、パケット入力検出回路からの検出信号D1、D2、D3がそれぞれ入力される。リタイミング回路51a、51b、51cは各検出信号をスロットクロック信号にてリタイミングし、論理積ゲート53a、53b、53cの一方の入力端子に出力する。

10

20

30

40

50

【0039】パルス発生回路52はスロットクロック信号を元に、図4に示すように、パルス発生位置の異なるパルス信号 $\phi 0$ 、 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ 、 $\phi 4$ を生成し、論理積ゲート58の一方の入力端子にパルス信号 $\phi 0$ を出力し、論理積ゲート53aの他方の入力端子にパルス信号 $\phi 1$ を出力し、論理積ゲート53bの他方の入力端子にパルス信号 $\phi 2$ を出力し、論理積ゲート53cの他方の入力端子にパルス信号 $\phi 3$ を出力し、論理積ゲート53dの一方の入力端子にパルス信号 $\phi 4$ を出力する。

【0040】論理積ゲート53aの出力はストリーム番号エンコーダ54および論理和ゲート55に接続され、同様に、論理積ゲート53b、53c、53dの出力もストリーム番号エンコーダ54および論理和ゲート55にそれぞれ接続される。ストリーム番号エンコーダ54はストリームを識別する情報を入力に応じて生成し、メモリ60のデータ入力端子Dinに出力する。

【0041】論理和ゲート55は、論理積ゲート53a、53b、53c、53dの各出力の論理和を論理和ゲート56の一方の入力端子およびメモリ60の書込イネーブル端子WEに出力する。論理和ゲート56は、論理和ゲート55の出力と論理積ゲート58の出力との論理和を書込アドレスカウンタ57に出力する。

【0042】書込アドレスカウンタ57は、5ビットの2進カウンタにて構成されており、論理和ゲート56の出力に生じるパルスをカウントして、カウント値の最上位ビットb4(MSB)をメモリ60の書込アドレス端子WAHおよびフリップフロップ61のデータ入力端子Dに出力し、カウント値の下位4ビットb3~b0をメモリ60の書込アドレス端子WAL、論理積ゲート58の他方の入力端子および大小比較回路59の一方の入力端子Xに出力する。

【0043】論理積ゲート58は書込アドレスカウンタ57のカウント値の下位4ビットb3~b0とパルス信号 $\phi 0$ との論理積を、論理和ゲート56の他方の入力端子に出力する。スロット番号カウンタ64は書込アドレスカウンタ57より1ビット少ない4ビットの2進カウンタで構成されており、スロットクロック信号をカウントして、カウント値b3~b0をメモリ60の読み出しアドレス端子RALおよび大小比較回路59の他方の入力端子Yに出力すると共に、キャリー信号CRを論理反転ゲート63の入力端子に出力する。スロット番号カウンタ64は、カウント値b3~b0が最大値「1111」のとき、キャリー信号CRとして「1」の値を出力し、カウント値b3~b0が最大値意外のときは「0」の値を出力する。

【0044】大小比較回路59は、入力端子Xに入力している書込アドレスカウンタ57のカウント値の下位4ビットの値と、入力端子Yに入力しているスロット番号カウンタ64のカウント値4ビットの値との大小を比較し、Xに入力している値がYに入力している値未満(例

えば $X=Y-1$)であるときは真値「1」を出力し、Xに入力している値がYに入力している値と同一またはそれ以上であるときは偽値「0」を出力し、論理積ゲート53dの他方の入力端子に与える。

【0045】論理反転ゲート63は入力を論理反転してフリップフロップ61のクロック端子CLKに与える。フリップフロップ61は、クロック端子CLKに与えられた値が「0」から「1」に変化した時点におけるデータ入力値を読み込んで保持すると共に、論理反転ゲート62の入力端子に出力する。論理反転ゲート62は、入力を論理反転してメモリ60の読み出しアドレス端子RAHに出力する。

【0046】メモリ60は、ストリーム番号エンコーダ54の出力を書込アドレスカウンタ57のカウント値により示されるアドレスに書き込んで記憶すると共に、論理反転ゲート62の出力とスロット番号カウンタ64のカウント値とにより示されるアドレスに記憶されているデータを読み出し、スロット割当情報として出力する。以下、図3に示されるスロット割当情報生成回路50の動作について詳細に説明する。

【0047】図3のスロット割当情報生成回路50におけるスロット番号カウンタ64のビット数は、多重化情報バケットMIPを伝送する伝送スロットを含む1バケット多重フレームの伝送スロット数に対応して定めてあり、ビット数4はバケット多重フレームを2の4乗個すなわち16個の伝送スロットで構成した場合に対応している。

【0048】なお、1バケット多重フレームの伝送スロット数は16に限定されるものではなく、また、2のn乗(nは正整数)に限定されるものではなく、任意のm(mは正整数)でよい。その場合、スロット番号カウンタ64はm進法のカウンタであって、かつカウント値を2進数形式で出力するカウンタとし、一方、書込アドレスカウンタ57はスロット番号カウンタ64よりも1桁多いm進法のカウンタであって、かつカウント値を2進数形式で出力するカウンタとし、上位桁は1ビットで出力する。

【0049】図4はパルス発生回路52の動作を示すタイミング図であり、パルス発生回路52はスロットクロック信号の1サイクル毎に、パルス発生位置の異なる5個のパルス信号 $\phi 0$ 、 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ 、 $\phi 4$ を発生する。このとき、パルス信号 $\phi 4$ はパルス信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ よりも後方に発生させ、また、パルス信号 $\phi 0$ はパルス信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ 、 $\phi 4$ の後方に発生させている。パルス信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ はそれぞれ論理積ゲート53a、53b、53cにおいてリタイミング回路51a、51b、51cの出力によって通過が制御される。論理積ゲート53a、53b、53cを通過したパルス信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ は、ストリーム番号エンコーダ54および論理和ゲート55に与えられる。

【0050】図5はリタイミング回路51a、51b、51cの一構成例を示す図であり、1回路分が示されている。図6はリタイミング回路51a、51b、51cの動作を示すタイミング図である。

【0051】パケット入力検出回路28a、28b、28cから出力される検出信号はパルス信号形式となっており、TSパケットがバッファメモリに1個入力する毎に検出信号が発生し、リタイミング回路に入力する。この検出信号によってフリップフロップF1はプリセットされて出力は「1」となる。スロットクロック信号によってフリップフロップF1の出力はフリップフロップF2に読み込まれ、フリップフロップF2の出力は「1」となる。同時に、フリップフロップF1は「0」を読み込んでその出力は「0」となる。入力検出信号による新たなプリセットがフリップフロップF1になされなければ、スロットクロック信号の次のサイクルにおいてフリップフロップF2はフリップフロップF1の出力「0」を読み込んでその出力は「0」となる。

【0052】このようにして、検出信号に生じた1個のパルスはリタイミング回路によってスロットクロック信号1サイクルの時間、すなわち伝送スロット1個の伝送時間幅に変換されて出力する。したがって、検出信号が発生する毎に、その直後のスロットクロック信号1サイクルの時間中は、論理積ゲート53a、53b、53cのうちの、発生した検出信号が入力したリタイミング回路の出力が接続されている論理積ゲートが開き、パルス発生器52からのパルス信号がストリーム番号エンコーダ54に与えられ、同時に、パルス信号は論理和ゲート55を通過してメモリ60の書込イネーブル端子WEおよび論理和ゲート56に与えられる。

【0053】このときパルス信号はさらに論理和ゲート56を通過して書込アドレスカウンタ57に入力する。書込アドレスカウンタ57は、論理和ゲート55、論理和ゲート56を通過して与えられたパルス信号をカウントしてカウント値を1つ増やし、メモリ60に新たな書込アドレス値を出力する。このとき、ストリーム番号エンコーダ54には、検出信号が発生した入力ストリームに対応した論理積ゲートからパルス信号が与えられるので、ストリーム番号エンコーダ54では該当する入力ストリームを示す情報（ストリーム番号）を発生してメモリ60のデータ入力端子Dinに出力する。したがって、メモリ60には検出信号が発生する毎に該当する入力ストリームを示す番号が順次書き込まれて記憶される。

【0054】また、複数の検出信号がスロットクロック信号1サイクルの時間中において発生したときは、パルス発生回路52から論理積ゲートに与えられる各パルス信号のパルス発生位置は、図4に示すように異なっているため、ストリーム番号エンコーダ54にはパルス発生位置の異なるパルス信号が、異なる論理ゲートから入力し、書込アドレスカウンタ57には論理和ゲート55、

論理和ゲート56を通過した複数のパルス信号が入力する。したがって、メモリ60にはそれぞれの入力ストリームを示す番号が異なるアドレスに順次書き込まれて記憶される。

【0055】一方、検出信号が発生しないときは、論理積ゲートからはパルス信号が与えられないので、入力ストリームを示す番号はメモリ60に書き込まれず、また、パルス信号φ1、φ2、φ3のいずれかによる書込アドレスカウンタ57のカウント値の更新は行われない。スロット番号カウンタ64はスロットクロック信号の1サイクル毎にカウント値を増す4ビットの2進カウンタであり、そのカウント値はパケット多重フレームを構成する各伝送スロットのスロット番号に対応している。ここで、スロット番号とは、パケット多重フレームの先頭の伝送スロットから伝送順に0、1、2、というように、本動作説明のため便宜的に名付けるものである。

【0056】大小比較回路59は、スロット番号カウンタ64の4ビット出力値と書込アドレスカウンタ57の下位4ビット出力値との大小を比較しており、書込アドレスカウンタ側が小さいときは真値「1」を論理積ゲート53dの一方の入力端子に出力する。このとき、論理積ゲート53dのゲートが開いてパルス発生器52からのパルス信号φ4がストリーム番号エンコーダ54に与えられ、同時に、論理和ゲート55を通過してメモリ60の書込イネーブル端子WEおよび論理和ゲート56にも与えられる。このときパルス信号φ4はさらに論理和ゲート56を通過して書込アドレスカウンタ57に入力する。

【0057】ストリーム番号エンコーダ54は、論理積ゲート53dを通過したパルス信号φ4を受けたときは、スタフピングを示す番号を発生してメモリ60のデータ入力端子Dinに出力する。したがって、図3に示されるスロット割当情報生成回路50では、検出信号の発生による書込アドレスカウンタ57のカウント値の歩みがスロット番号カウンタ64のカウント値の歩みに満たないときは、自動的に書込アドレスカウンタ57のカウント値がスロット番号カウンタ64のカウント値に追従するとともに、スタフピングを示す番号がメモリ60に書き込まれて記憶されるという動作が行われる。

【0058】また、図3に示されるスロット割当情報生成回路50では、検出信号が発生したとき、検出信号の発生した直後に伝送される伝送スロットのスロット番号に下位アドレスが相当する、メモリ60のアドレスに、その前に発生した検出信号によって該アドレスにすでに記憶がなされていないときは、検出信号の発生した入力ストリームを示すストリーム番号が記憶されるという動作が行われる。

【0059】また、伝送スロット1個の伝送時間中に複数の入力検出信号が発生したときは、パルス信号φ1、

10

20

30

40

50

φ2、φ3のパルス位置をスロットクロック信号の1サイクル中の異なった位置に配置していることにより、メモリ60へのそれぞれのストリーム番号の書き込みが書込アドレスを更新しながらスロットクロック信号の同一サイクル中に順次行われ、検出信号の発生した直後に伝送される伝送スロットのスロット番号とさらにその直後に続く伝送スロットのスロット番号に下位アドレスが対応するアドレスに、それら検出信号の発生した各入力ストリームのストリーム番号がそれぞれ記憶されるという動作が行われる。

【0060】また、検出信号の発生のないときは、その直後に伝送される伝送スロットのスロット番号に等しい下位アドレスを持つアドレスにスタフピングを示す番号が記憶されるという動作が行われる。書込アドレスカウンタ57の下位4ビット出力値が最大値‘1111’になると、パルス信号φ0は論理積ゲート58を通過して論理和ゲート56に与えられ、さらに論理和ゲート56を通過して書込アドレスカウンタ57に与えられる。このとき、書込アドレスカウンタ57のカウント値は1つ進んで0になる。しかし、メモリ60の書込イネーブル端子WEにはパルス信号が与えられないため、メモリ60の下位アドレス0のアドレスにはスロットを割り当てる情報は書き込まれない。

【0061】メモリ60の読み出しアドレス端子RALにはスロット番号カウンタ64の4ビットのカウント値が与えられており、読み出しアドレス端子RAHにはフリップフロップ61の出力を論理反転した値が与えられている。メモリ60に読み出しイネーブル信号を常時連続して加える（図3ではこの信号の記述は省略している）ことにより、メモリ60からの記憶された番号の読み出しは、メモリ60に与えられた読み出しアドレスに従って、データ出力端子Doutから常時連続して行われる。

【0062】メモリ60において、読み出しアドレス端子RALと書込アドレス端子WALは同一桁であり、読み出しアドレス端子RAHと書込アドレス端子WAHは同一桁である。スロット番号カウンタ64のキャリー信号CRは論理反転ゲート63により論理反転されてフリップフロップ61のクロック端子に与えられている。このため、スロット番号カウンタ64のカウント値が最大値‘1111’（16進数表記ではF）から初期値‘0000’（16進数表記では0）にもどる毎に、その時点の書込アドレスカウンタの最上位ビットb4の値がフリップフロップ61に読み込まれて保持されるとともに、その論理反転値が読み出しアドレス端子RAHに与えられる。

【0063】したがって、読み出しアドレス端子RAHには、前回のパケット多重フレームの送出中においてメモリ60に記憶し終えた1パケット多重フレーム分のスロット割当情報がメモリ60に書き込まれていた際に、

書込アドレス端子WAHに入力されていた値が与えられる。

【0064】このため、メモリ60からは前回のパケット多重フレームの伝送スロットの送出中に書き込まれた入力ストリームを示すストリーム番号またはスタフピングを示す番号がスロット割当情報として読み出され、出力される。したがって、図3のスロット割当情報生成回路50によって、伝送スロットへの各入力ストリームのTSパケットの多重化またはヌルパケットの多重化を割り当てるためのスロット割当情報が自動的に作成されて、多重回路20の内部に備えた読み出しパルス発生回路24およびパケット多重フレーム生成回路27に出力されるという動作が得られる。

【0065】このとき、メモリ60の下位アドレス0のアドレスにはスロット割当を示す情報は書き込まれていないため、メモリ60から読み出されたスロット割当情報を受けた読み出しパルス発生回路24は、スロット番号0の時点においては読み出しパルスを発生しない。このため、スロット番号0の伝送スロットへのTSパケットの多重化は行われない。

【0066】スロット番号0の時間中には、1パケット多重フレーム分のスロット割当情報がメモリ60から読み出されてパケット多重フレーム生成回路27に対してのみ出力される。パケット多重フレーム生成回路27は、このとき、多重化情報パケットMIPを生成し、パケット多重フレームのスロット番号0の伝送スロットへ多重化する。なお、図3では、スロット番号0の伝送スロットの伝送時間中において1パケット多重フレーム分のスロット割当情報を一度、バースト的に読み出してパケット多重フレーム生成回路27に対してのみ出力するためのデータセクタ、および読み出しアドレス端子RAH、RALにバースト的に与える読み出しアドレス信号を発生する回路、バースト的に発生させた読み出しアドレス信号とスロット番号カウンタ64のカウント値出力とを切り替えてメモリ60の読み出しアドレス端子RAH、RALに与える切替回路は記載を省略している。

【0067】図3のスロット割当情報生成回路50によって、個別帯域監視回路から出力されるTSパケットのバッファメモリへの入力時点に応じて伝送スロットが割り当てられるため、各入力ストリームに対して割り当てられる伝送スロット数は、それぞれの個別帯域監視回路から出力されるTSパケットのレートに対応して自動的に割り当てられるという動作が得られる。

【0068】したがって、本実施形態における多重回路20では、個別帯域監視回路から出力される各入力ストリームのTSパケット数に応じて、各入力ストリームに対する1パケット多重フレーム中の伝送スロット数が自動的に割り当てられ、しかも、各入力ストリームに割り当てられる伝送スロットの1パケット多重フレーム内の位置は、個別帯域監視回路から出力される各入力ストリ

ームのTSパケットが各バッファメモリに入力した時点に対応して定まるという動作が行われる。

【0069】書込アドレスカウンタ57のビット数はスロット番号カウンタ64のビット数より1ビット多くっており、カウント範囲はスロット番号カウンタ64の2倍となっている。このため、入力するTSパケットのレートが変動して、1パケット多重フレーム時間中に割り当てられる各入力ストリームのTSパケットの合計数が1パケット多重フレームの多重化情報パケットMIPが伝送されるスロットを除く伝送スロット数を一時的に上回ったときでも、スロット割当情報が作成され記憶される。

【0070】このとき、1パケット多重フレームでのTSパケットの伝送に使用される伝送スロット数を超過してメモリ60に記憶されたスロット割当情報は、後続するパケット多重フレームの伝送時間に読み出される。したがって、1パケット多重フレーム時間当たりの各入力ストリームからのTSパケット入力数の合計値の平均が1パケット多重フレームでのTSパケットの伝送に使用される伝送スロット数以下であれば、一時的に超過してバッファメモリに入力したTSパケットは損失することなく読み出されて多重化されるという動作が得られる。

【0071】図7は、図1に示す本発明の実施形態における多重回路20の動作を示すタイミング図である。以下、図7を用いて詳細に説明する。図7は、パケット多重フレームが16個の伝送スロットで構成されている場合の動作を示しており、したがって、スロット割当情報生成回路50の内部に備えるスロット番号カウンタ64は4ビットの2進カウンタとなっており、スロットクロック信号によってカウント値は0からF（図7ではカウント値を16進数で表記している）までを周期的に繰り返す。このカウント値はパケット多重フレームにおける伝送スロットのスロット番号に対応している。

【0072】入力ストリームA、入力ストリームB、入力ストリームCからは異なるレートでTSパケットが入力しており、したがって、図7で示すように、TSパケットが入力する時間間隔はそれぞれ異なっている。また、入力ストリームAおよび入力ストリームCでは、図7で示す時間範囲の前半ではTSパケットの入力レートが高いが、途中で変化し、中盤以降ではTSパケットの入力レートが低くなっている例を示している。

【0073】パケット入力検出回路28aは、個別帯域監視回路30aを通過した入力ストリームAのTSパケットがバッファメモリ21aに入力完了する毎に検出信号D1にパルスを発生させる。このとき、スロット割当情報生成回路50の内部のリタイミング回路51aは、スロットクロック信号の1サイクル時間幅のパルスを図7に示す時点に出力する。

【0074】入力ストリームB、入力ストリームCのTSパケットに対しても同様の動作が行われ、各入力スト

リームのTSパケットが各バッファメモリに入力を完了する毎にリタイミング回路51b、リタイミング回路51cからはそれぞれ図7に示す時点にスロットクロック信号の1サイクル時間幅のパルスが出力する。

【0075】なお、図7においては、説明のために、個別帯域監視回路を通過した入力ストリームA、入力ストリームB、入力ストリームCのTSパケットがバッファメモリに入力した時点の検出時点順に、1から42の番号をTSパケットに付している。スロット割当情報生成回路50の内部では、ストリーム番号エンコーダ54は、論理積ゲート53a、53b、53cを各リタイミング信号によって制御されて通過したパルス信号を受けて、伝送スロットに割り当てる入力ストリームを示す情報であるストリーム番号（図7ではそれぞれA、B、Cと表記）を生成しメモリ60に出力する。

【0076】同時に、メモリ60の書込アドレスを発生している書込アドレスカウンタ57は前記パルス信号を受ける毎に書込アドレス値を1つ進める。いずれの入力ストリームにおいてもバッファメモリにTSパケットの書込がないときは、パルス信号が入力しないので書込アドレス値の更新は行われなくなる。

【0077】しかし、大小比較回路59がスロット番号カウンタ64のカウント値と書込アドレスカウンタ57のカウント値b3～b0との大小を比較しており、大小比較回路59からは図7に示すように、書込アドレスカウンタ57のカウント値のほうが小さいときは‘1’が出力され、該出力が行われる毎に論理積ゲート53dをパルス信号φ4が通過して書込アドレスカウンタ57に与えられるので、書込アドレス値は1つ進む。同時に、論理積ゲート53dを通過したパルス信号φ4はストリーム番号エンコーダ54にも与えられ、ストリーム番号エンコーダ54は、このとき、スタッフィングを示す情報（図7ではnと表記）をメモリ60に出力する。

【0078】このようにして、メモリ60には、図7に示す書込アドレスに、図7に示すスロットの割当を示す情報（ストリーム番号エンコーダ54の出力）が書き込まれる。しかも、このように各入力ストリームからのTSパケットに対するスロットの割当を示す情報が書き込まれたアドレスは、各入力ストリームからのTSパケットがバッファメモリへの入力を完了した時点にスロット番号カウンタ64が示していた値、すなわち、入力完了時点において伝送中の伝送スロットのスロット番号に対応して定められることは、図7に示した実施形態より明らかである。

【0079】また、検出信号が、複数の入力ストリームにおいて同一伝送スロットの伝送中に同時に発生した場合、例えばスロット番号カウンタ64のカウント値が0のときに入力完了したA1およびB2の番号を付したTSパケットは、連続するアドレス（01、02）に書き込まれることも、図7より明らかである。さらに、この

10

20

30

40

50

ような、TSパケットが入力した時点に対応してスロットの割当を示す情報が書き込まれたアドレス以外のアドレスには、スタッフィングパケットの割当を示す情報（ n と表記）が書き込まれることも図7より明らかである。

【0080】したがって、各入力ストリームのTSパケットが1パケット多重フレーム時間当たりにバッファメモリに入力した個数に応じて伝送スロット数が自動的に割り当てられ、しかも割り当られる伝送スロットのスロット番号は、TSパケットがそれぞれバッファメモリへの入力を完了した時点に対応して定められることは図7より明らかである。

【0081】スロット番号カウンタ64のカウンタ値がFから0に戻る毎に、書込アドレスカウンタ57の最上位桁b4の値はフリップフロップ61によって保持され、さらに論理反転されてメモリ60の読み出しアドレス値の最上位桁として与えられる。したがって、メモリ60からは、図7に示すように前回のパケット多重フレームの伝送時間中に作成し終えた1パケット多重フレーム分のスロット割当情報が、今回のパケット多重フレームの伝送時間において読み出され出力される。

【0082】読み出しパルス発生回路24は、このスロット割当情報にしたがってバッファメモリ21a、21b、21cまたはスタッフィングパケットメモリ26のいずれかの読み出し制御端子REに対して読み出しパルスを出し、スロット多重回路23は、バッファメモリ21a、21b、21cから出力されたTSパケット、またはスタッフィングパケットメモリ26から出力されたヌルパケットを図7に示すように各伝送スロットに多重化し、パケット多重フレーム生成回路27は、スロット割当情報を収容した多重化情報パケットMIPを作成し、スロット番号0の位置に多重化してパケット多重フレームを生成し送出する。

【0083】図7においては、 $k-1$ 番目のパケット多重フレームの送出時間にはA1からB18までの18個のTSパケットがバッファメモリに入力されている。また、 k 番目のパケット多重フレームの送出時間にはA19からA30までの12個のTSパケットが入力され、 $k+1$ 番目のパケット多重フレームの送出時間にはB31からA41までの11個のTSパケットが入力されている。

【0084】1パケット多重フレームの伝送スロット数は、多重化情報パケットMIPの伝送に使用される第0の伝送スロットを除いて15個であるため、 $k-1$ 番目のパケット多重フレームの送出時間中には前記18個のうちの15個が k 番目のパケット多重フレームでの伝送に割り当てられ、残りの3個は $k+1$ 番目のパケット多重フレームでの最初の3個の伝送スロットに割り当てられている。

【0085】 k 番目のパケット多重フレームの送出時間

に入力した12個のTSパケットは、その内の11個が前記3個の伝送スロットに続く伝送スロットに割り当てられ、残り1個は $k+2$ 番目のパケット多重フレームでの最初の伝送スロットに割り当てられている。 $k+1$ 番目のパケット多重フレームの送出時間に入力した11個のTSパケットは、前記最初の伝送スロットに続く伝送スロットに全てが割り当てられている。

【0086】このように、図7においては、3つのパケット多重フレーム送出時間内に入力完了した合計41個のTSパケット全てと4個のスタッフィングのためのヌルパケットが、3つのパケット多重フレームでの、多重化情報パケットMIPの伝送に使用される伝送スロットを除く $3 \times 15 = 45$ 個の伝送スロットに多重化されて送出されている。

【0087】したがって、図7の本発明の実施形態においては、1パケット多重フレームの送出時間当たりに入力するTSパケットの合計数が、1パケット多重フレームでの多重化情報パケットMIPの伝送に使用される伝送スロットを除く伝送スロット数（以下、実効伝送スロット数と表記する）を一時的に超過する場合でも、前記合計数の平均が実効伝送スロット数以下であれば、入力するTSパケットは全て多重化され伝送されることが可能である。

【0088】本実施形態では、書込アドレスカウンタ57のビット数はスロット番号カウンタ64のビット数より1ビット多くなっているため、一時的に有効伝送スロット数の2倍未満の入力があつた場合でも、入力するTSパケットは全て多重化され伝送されることが可能である。

【0089】1パケット多重フレームの送出時間中にバッファメモリに入力するTSパケットの合計数が、実効伝送スロット数を超過した場合、図7の前半時間部分に示すように、1パケット多重フレーム分のスロット割当情報はそのパケット多重フレームの終了時点より前に作成、記憶し終わる。このスロット割当情報が作成、記憶し終わった時点は、その時点でのスロット番号カウンタ64のカウンタ値を得ることによって知ることができる。

【0090】スロット割当情報が作成され記憶し終わった時点でのスロット番号カウンタ64のカウンタ値は、1パケット多重フレームの送出時間中にバッファメモリに入力するTSパケットの合計数が実効伝送スロット数以下のときは、FまたはF以下のF近辺の値となるが、実効伝送スロット数を超過する入力が生じると小さな値となる。

【0091】したがって、スロット割当情報が作成され記憶し終わった時点でのスロット番号カウンタ64のカウンタ値を監視することにより、実効伝送スロット数に対するTSパケット入力合計数の超過状態（多重化出力帯域に対する入力合計帯域の超過状態）の発生の有無を

知ることができる。なお、図8は、図7に示した動作タイミングチャートと同一の動作例に関して、パケット多重フレーム出力の固定のフレーム遅延分を除いて、パケットの入力完了スロット番号と出力スロット番号との差をより分かり易く示したものである。

【0092】図9は本実施形態におけるデジタル多重化装置の合計帯域監視回路の一構成例を示すブロック図である。図9において、合計帯域監視回路40はレジスタ41、大小比較回路42およびデコーダ43にて構成されている。レジスタ41は、デコーダ43の出力が

10
「0」から「1」に変化した時点において、多重回路20の内部のスロット番号カウンタ64の出力値を読み込んで保持し、大小比較回路42の入力Xに出力する。
【0093】大小比較回路42は、入力Yに与えられているしきい値1と入力Xに与えられているレジスタ41の出力値とを比較し、入力Xの値が入力Yの値よりも小さいときは真値「1」を、入力Xの値が入力Yの値以上のときは偽値「0」を合計帯域超過検出信号として出力する。この合計帯域超過検出信号は、図10に示したよう

20
に各々の個別帯域監視回路のNANDゲート32の一方の入力に与えられる。なお、しきい値1は、スロット番号カウンタ64のカウント範囲である0からFまでの間の途中の値、例えば4とする。
【0094】デコーダ43には、多重回路20の内部の書込アドレスカウンタ57の下位桁出力b3-b0が入力され、デコーダ43は、書込アドレスカウンタ57の下位桁の値が0のとき論理値「1」を出力し、書込アドレスカウンタ57の下位桁の値が1からFまでの間は論理値「0」を出力する。このデコーダは4入力のNOR

30
ゲート回路などで構成できる。
【0095】したがって、図9の合計帯域監視回路40によれば、多重化出力帯域に対する入力合計帯域の超過状態の発生の有無を知ることができる。すなわち、超過状態が発生したときは、合計帯域超過検出信号の出力値は「1」となり、超過状態が発生していないとき、または、超過状態が解消されたときは出力値は「0」となる。

【0096】図10は本実施形態におけるデジタル多重化装置の個別帯域監視回路の一構成例を示すブロック図である。図10において、個別帯域監視回路は、ANDゲート31、NANDゲート32、大小比較回路33、アップダウンカウンタ34および割当パルス発生回路35などにて構成されている。ANDゲート31には、入力ストリームとNANDゲート32の出力とが入力され、ANDゲート31の出力は多重回路20の内部のバッファメモリに入力される。

【0097】NANDゲート32には、大小比較回路33の出力と、合計帯域超過検出回路40から出力される合計帯域超過検出信号とが入力され、NANDゲート32の出力はANDゲート31の一方の入力に接続されて

いる。大小比較回路33には、入力Xにアップダウンカウンタ34の出力が接続され、入力Yにはしきい値2が与えられており、大小比較回路33は、入力Xの値が入力Yの値以上のときは真値「1」を、入力Xの値が入力Yの値未満のときは偽値「0」をNANDゲート32の一方の入力に出力する。

【0098】アップダウンカウンタ34には、UP入力には多重回路20の内部のパケット入力検出回路から出力される検出信号が入力され、DOWN入力には割当パルス発生回路35の出力とが入力されており、アップダウンカウンタ34は、UP入力（検出信号）にパルスが生じる毎にカウント値を1つ上げ、DOWN入力（割当パルス発生回路35の出力）にパルスが生じる毎にカウント値を1つ下げて、大小比較回路33の入力Xに出力する。

【0099】アップダウンカウンタ34は、カウント値が最大値のときにUP入力にパルスが入力したときは最大値を維持し、最小値0のときにDOWN入力にパルスが入力したときは最小値0を維持する。アップダウンカウンタ34のCLR入力には、アドレス0検出回路36の出力が接続されており、アドレス0検出回路36の出力値が「1」のとき、アップダウンカウンタ34のカウント値はクリアされて0になる。

【0100】スロット0検出回路38には、多重回路20の内部のスロット番号カウンタ64の出力b3-b0が接続され、スロット0検出回路38の出力はレジスタ37に接続されている。スロット0検出回路38は、スロット番号カウンタ64の出力値が0であることを検出したとき「1」を出力する。このスロット0検出回路38は4入力のNORゲート等で構成できる。

【0101】レジスタ37の入力には、書込アドレスカウンタ57の出力の下位桁b3-b0が接続され、レジスタ37の出力はアドレス0検出回路36に接続されている。レジスタ37は、スロット0検出回路38の出力が「0」から「1」に変化した時点において入力値を読み込んで保持し、アドレス0検出回路36に出力する。アドレス0検出回路36は、レジスタ37の出力値が0であることを検出したとき、アップダウンカウンタ34のCLR入力に対して「1」を出力する。このアドレス0検出回路36は4入力のNORゲート等で構成できる。

【0102】割当パルス発生回路35には、多重回路20の内部のスロット番号カウンタ64の出力b3-b0が接続され、割当パルス発生回路35はスロット番号カウンタの出力値に対応してパルスが発生してアップダウンカウンタ34に出力する。この割当パルス発生回路35は論理ゲートを組み合わせた回路等で構成できる。図10に示す本発明の実施形態の個別帯域監視回路においては、しきい値2はアップダウンカウンタ34のカウント値範囲内の非零の値（例えば5）とする。アップダウ

ンカウンタ34のビット数は最大カウント範囲を定めるものであり、パケット多重フレームの有効伝送スロット数以下（例えば3ビット）でよく、その場合カウント範囲は0から7までとなる。

【0103】図10に示す本発明の実施形態の個別帯域監視回路においては、割当パルス発生回路35がスロット番号カウンタ64の出力値に対応して発生するパルス数は、入力ストリームのTSパケットのレートを識別するパラメータになっている。例えば、スロット番号カウンタ64の出力値が2およびAのときにパルスが発生するようにしたときは、入力されるTSパケットが1パケット多重フレーム時間当たり2個未満のレートで入力されている場合は、アップダウンカウンタ34の出力値は0または0付近の値となる。入力されるTSパケットが1パケット多重フレーム時間当たり2個を超えるレートで入力されている場合は、アップダウンカウンタ34の出力値は増加して最大値または最大値付近の値となる。

【0104】入力されるTSパケットが1パケット多重フレーム時間当たり平均2個のレートで入力されている場合は、アップダウンカウンタ34の出力値は増減せず、ほぼ同じ値を出力し続けるが、1パケット多重フレーム時間当たりに入力される各入力ストリームのTSパケットの合計数がパケット多重フレームの有効伝送スロット数以下であるときは、図7に示すようにパケット多重フレームの開始時点であるスロット番号カウンタ値がFから0に変化した時点においては書込アドレスカウンタ57の出力の下位桁値は0であるため、アドレス0検出回路36からは「1」が出力し、アップダウンカウンタ34はクリアされて出力値は0になる。このため、アップダウンカウンタ34の出力値は0または0付近の値となる。したがって、大小比較回路33からは、入力するTSパケットが1パケット多重フレーム時間当たり2個以下のレートで入力されている場合には「0」が出力され、2個を超えるレートで入力されている場合には「1」が出力される。

【0105】このように、図10に示す本発明の実施形態の個別帯域監視回路によれば、入力されるTSパケットのレートが割当パルス発生回路35が発生するパルスのレート以下であるか超過しているかを監視し、監視結果を大小比較回路33の出力より得ることができる。

【0106】NANDゲート32には、大小比較回路33の出力と合計帯域監視回路40から出力された合計帯域超過検出信号とが入力されている。したがって、多重化出力帯域に対する入力ストリームの合計帯域の超過状態が発生し、かつ個別帯域監視回路を通して多重回路20のバッファメモリに入力されるTSパケットのレートが割当パルス発生回路35が発生するパルスのレートを超過している場合は、NANDゲート32の出力値は「0」となり、NANDゲート32の出力を受けたANDゲート31は入力ストリームの通過を阻止する。

【0107】したがって、図1に示す個別帯域監視回路30a、30b、30cの内部に備えたそれぞれの割当パルス発生回路35が1パケット多重化フレーム当たり発生するパルス数の合計値が、パケット多重化フレームの有効伝送スロット数以下になるよう、それぞれの割当パルス発生回路35を構成しないしは設定することにより、各入力ストリームが、各割当パルス発生回路35が1パケット多重化フレーム当たり発生するパルス数に相当する帯域を超過しなければ入力には阻止されないから、各入力ストリームは、各割当パルス発生回路35が1パケット多重化フレーム当たり発生するパルス数に相当する帯域までの伝送ができる。

【0108】また、ある単数または複数の入力ストリームにおいて、割当パルス発生回路35が1パケット多重化フレーム当たり発生するパルス数に相当する帯域を超過して入力した場合でも、そのときの各入力ストリームの合計帯域が多重化出力帯域を超えていなければ入力には阻止されないから、TSパケットは損失なく多重化され伝送される。このとき他の入力ストリームにおいても入力には阻止されないから、それら他の入力ストリームのTSパケットも損失なく多重化され伝送される。

【0109】一方、ある単数または複数の入力ストリームにおいて、割当パルス発生回路35が1パケット多重化フレーム当たり発生するパルス数に相当する帯域を超過して入力し、かつ、各入力ストリームの合計帯域が多重化出力帯域を超過した場合は、割当パルス発生回路35が1パケット多重化フレーム当たり発生するパルス数に相当する帯域を超過して入力した入力ストリームに対してのみ個別帯域監視回路が通過を阻止する。このとき、バッファメモリ21a、21b、21cに入力するTSパケットのレートの合計は多重化出力帯域以下に抑えられ、また、割当パルス発生回路35が1パケット多重化フレーム当たり発生するパルス数に相当する帯域以下で入力している他の入力ストリームに対しては個別帯域監視回路が通過を阻止しないから、他の入力ストリームのTSパケットは損失なく多重化され伝送される。

【0110】上記のように、各割当パルス発生回路35が発生するパルスのレート（1パケット多重化フレーム当たり発生するパルス数）は、該レートの合計値が有効伝送スロットのレート（1パケット多重化フレーム当たりの有効伝送スロット数）以下、すなわち多重化出力帯域以下に設定されているときは、各入力ストリームを損失なく多重化し伝送できる帯域、すなわち保証帯域を示している。

【0111】したがって、図1の本発明の実施の形態のデジタル多重化装置によれば、各入力ストリームは、伝送帯域が保証され、保証帯域を超過して入力された場合でも各入力ストリームの合計帯域が多重化出力帯域以下であれば損失なく伝送され、合計帯域が多重化出力帯域以上であっても、保証帯域以下で入力されている入力

ストリームは損失なく伝送されるという動作が得られる。

【0112】さらに、各入力ストリームの合計帯域が多重化出力帯域を一時的に超過した場合でも、多重回路20においては損失なく多重化でき、かつ合計帯域監視回路40においてしきい値1をスロット番号カウンタのカウント範囲の途中の値にしているの、合計帯域が多重化出力帯域を一時的に超過しても、超過度が数10%以下であれば合計帯域超過検出信号の発生は抑えられるから、各入力ストリームは損失なく多重化され伝送されるという動作を得ることができる。

【0113】したがって、図1の本発明の実施の形態のデジタル多重化装置によれば、多重化出力帯域の全部を各入力ストリームが動的に分け合って使用できると同時に、各入力ストリームに伝送帯域を保証するという動作が得られる。

【0114】各割当パルス発生回路35の構成は、スロット番号カウンタ64の出力値を入力として発生させるという上記実施例に限定されるものでなく、スロットクロック信号を入力としたフェーズロックループ(PLL)形式のパルス発生回路等でも構成できる。

【0115】図11は本発明の実施形態の個別帯域監視回路の別の構成例を示すブロック図である。図11では、図10におけるANDゲート31の代わりにPID(パケット識別子)フィルタ39を用いている以外は図10と同じであるため、同じ部分の説明は省略する。図11においては、PIDフィルタ39には入力ストリームとNANDゲート32の出力とが接続され、PIDフィルタ39は、NANDゲート32の出力値が「1」のときは入力ストリームをそのまま通過させてバッファメモリに出力する。NANDゲート32の出力値が「0」のときは、入力ストリーム中の特定のパケット識別子(PID)の値が付けられたTSパケットのみを通過させ、他のPID値のTSパケットの通過を阻止する。

【0116】このPIDフィルタ39は、シフトレジスタと論理ゲートの組み合わせ回路等で構成でき、当業者においては容易に実現できるものであるから詳細な説明は省略する。

【0117】テレビジョン放送番組のストリームを入力する場合、入力ストリームの帯域の大半は映像信号を伝送するTSパケットで占められ、残りの帯域は低階層の映像信号や音声信号、伝送制御信号、電子番組案内等のデータを伝送するTSパケットで占められる。したがって、入力しているテレビジョン放送番組のストリームのレートが送出信号源の障害あるいは入力伝送システムの障害等で運用中に変化し保証帯域を超過し、かつ入力合計帯域を超過した場合において、PIDフィルタ39にて音声信号や伝送制御信号を伝送するTSパケット等のみを通過させることで、合計帯域の超過を防止しつつ、視聴に最低限のサービスを伝送し続けることができる。

【0118】なお、図12～図15には、本発明の実施の形態により、多重化出力帯域の全部を各入力ストリームが動的に分け合って使用すると共に、各入力ストリームに伝送帯域を保証するという動作を、ケース1～4として、各ケース毎にそれぞれ示している。なお、本発明が上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。

【0119】

【発明の効果】以上の説明より明らかなように、本発明によれば、各入力ストリームは伝送帯域が保証され、保証帯域を超過にて入力した場合でも、各入力ストリームの合計帯域が多重化出力帯域以下であれば損失なく伝送され、合計帯域が多重化出力帯域以上であっても、他の保証帯域以下で入力している入力ストリームは損失なく伝送される。

【0120】また、各入力ストリームの合計帯域が多重化出力帯域を一時的に超過した場合でも、各入力ストリームは損失なく多重化され伝送されることができ。また、多重化出力帯域の全部を各入力ストリームが動的に分け合って使用できるので多重化効率が高く、かつ各入力ストリームには伝送帯域が保証されるという効果が得られる。

【図面の簡単な説明】

【図1】本発明のデジタル多重化装置の一実施の形態を示すブロック図である。

【図2】本発明の実施の形態におけるデジタル多重化装置のパケット多重フレームの一構成例を示す図である。

【図3】本発明の実施の形態におけるデジタル多重化装置のスロット割当情報生成回路の一構成例を示す図である。

【図4】本発明の実施の形態におけるスロット割当情報生成回路の内部に備えるパルス発生器の動作を示すタイミングチャートである。

【図5】本発明の実施の形態におけるスロット割当情報生成回路の内部に備えるリタイミング回路の一構成例を示す図である。

【図6】本発明の実施の形態におけるリタイミング回路の動作を示すタイミングチャートである。

【図7】本発明の実施の形態におけるデジタル多重化装置の多重回路の動作を示すタイミングチャートである。

【図8】本発明の実施の形態におけるデジタル多重化装置の多重回路の動作を示すタイミングチャートである。

【図9】本発明の実施の形態におけるデジタル多重化装置の合計帯域監視回路の一構成例を示すブロック図である。

【図10】本発明の実施の形態におけるデジタル多重

化装置の個別帯域監視回路の一構成例を示すブロック図である。

【図11】本発明の実施の形態におけるデジタル多重化装置の個別帯域監視回路の別の構成例を示すブロック図である。

【図12】本発明の実施の形態におけるデジタル多重化装置の帯域保証の様子の一例を動的に示す図である。

【図13】本発明の実施の形態におけるデジタル多重化装置の帯域保証の様子の他の例を動的に示す図である。

【図14】本発明の実施の形態におけるデジタル多重化装置の帯域保証の様子の別の例を動的に示す図である。

【図15】本発明の実施の形態におけるデジタル多重化装置の帯域保証の様子の更に別の例を動的に示す図である。

【図16】従来技術におけるデジタル多重化装置の構成例を示す図である。

【符号の説明】

20 多重回路

21a、21b、21c バッファメモリ

23 スロット多重回路

24 読み出しパルス発生回路

26 スタッフィングパケットメモリ

27 パケット多重フレーム生成回路

28a、28b、28c パケット入力検出回路

30a、30b、30c 個別帯域監視回路

31、32 ANDゲート

33、42、59 大小比較回路

34 アップダウンカウンタ

35 割当パルス発生回路

36 アドレス0検出回路

37、41 レジスタ

10 38 スロット0検出回路

39 PIDフィルタ

40 合計帯域監視回路

43 デコーダ

50 スロット割当情報生成回路

51a、51b、51c リタイミング回路

52 パルス発生回路

53a、53b、53c、53d、58 論理積ゲート

54 ストリーム番号エンコーダ

55、56 論理和ゲート

20 57 書込アドレスカウンタ

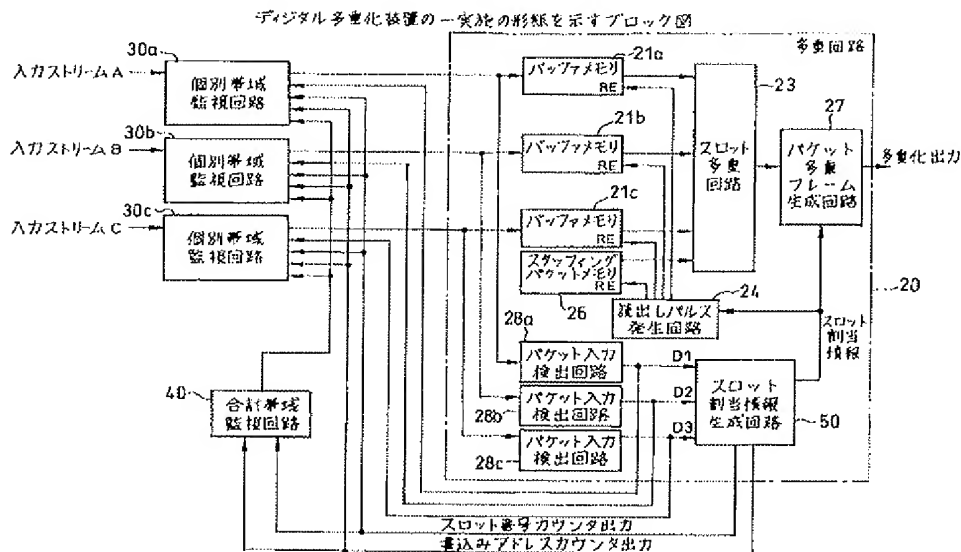
60 メモリ

61 フリップフロップ

62、63 論理反転ゲート

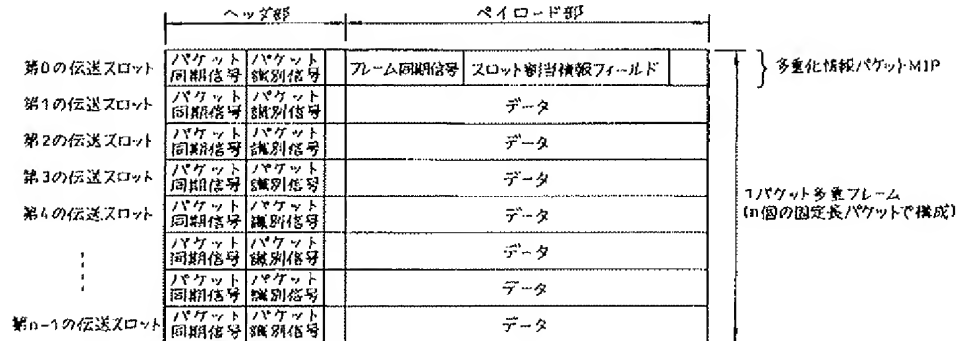
64 スロット番号カウンタ

【図1】



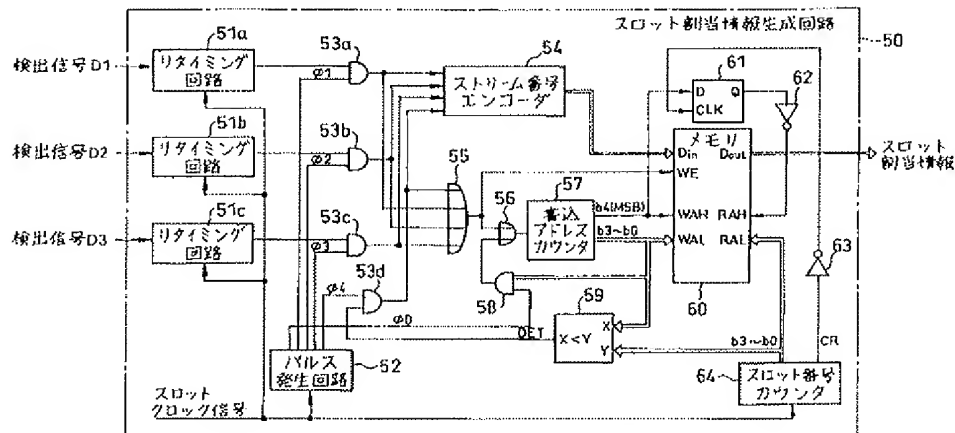
【図2】

デジタル多重化装置のバケット多量フレームの一構成例を示す図



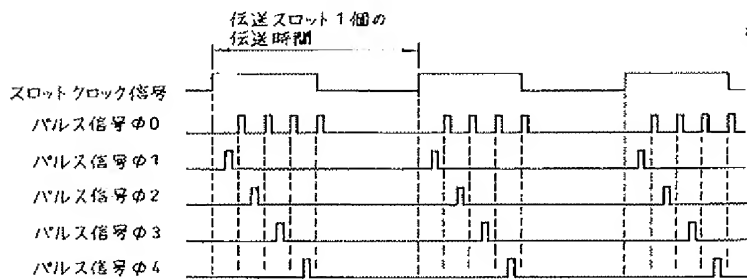
【図3】

デジタル多重化装置のスロット割当情報生成回路の一構成例を示すブロック図



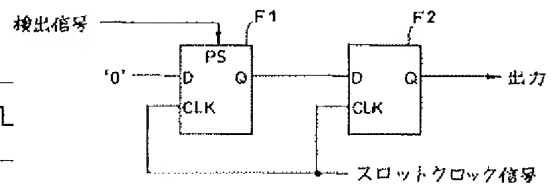
【図4】

スロット割当情報生成回路の内部に備えるパルス発生器の動作を示すタイミングチャート



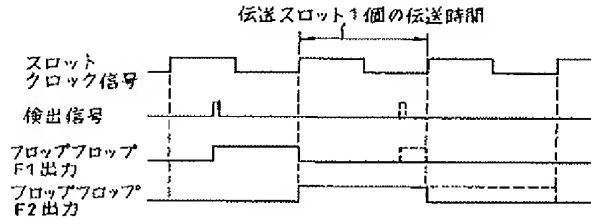
【図5】

スロット割当情報生成回路の内部に備えるリタイミング回路の一構成例を示す図

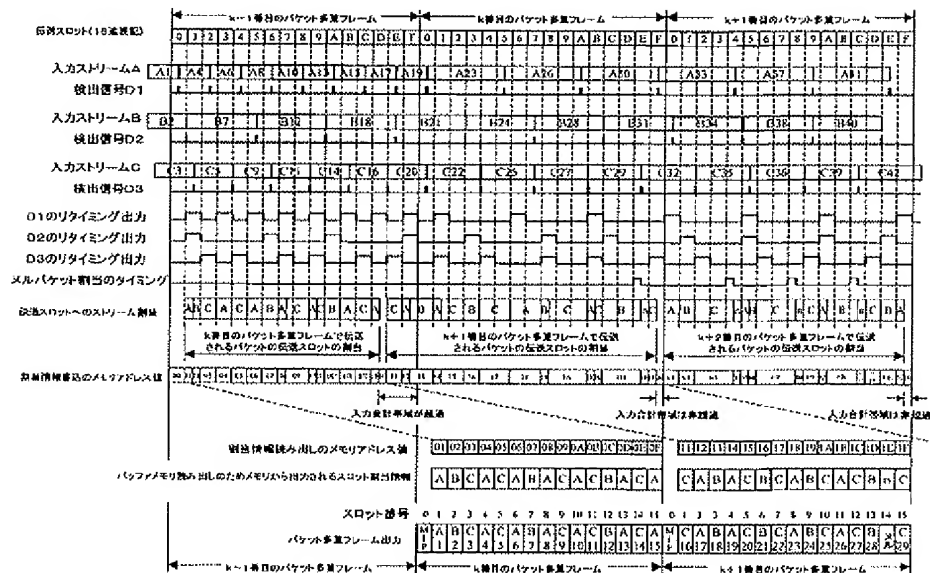


【図6】

リタイミング回路の動作を示すタイミングチャート

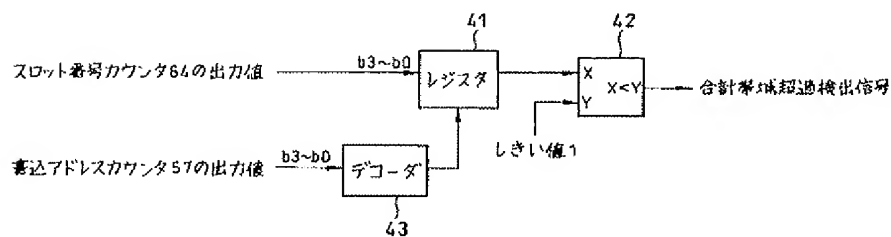


【図7】

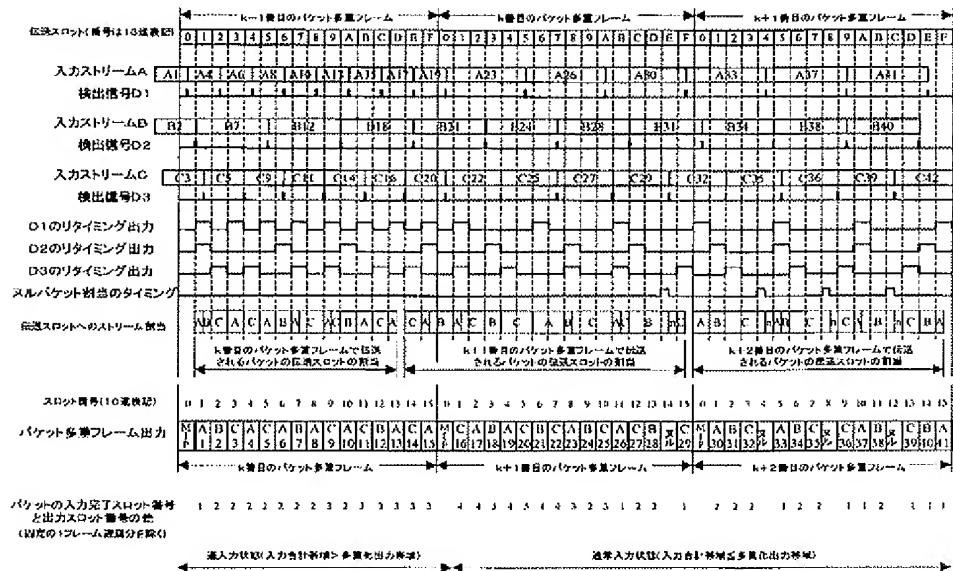


【図9】

デジタル多量化装置の合計帯域監視回路の一構成例を示すブロック図

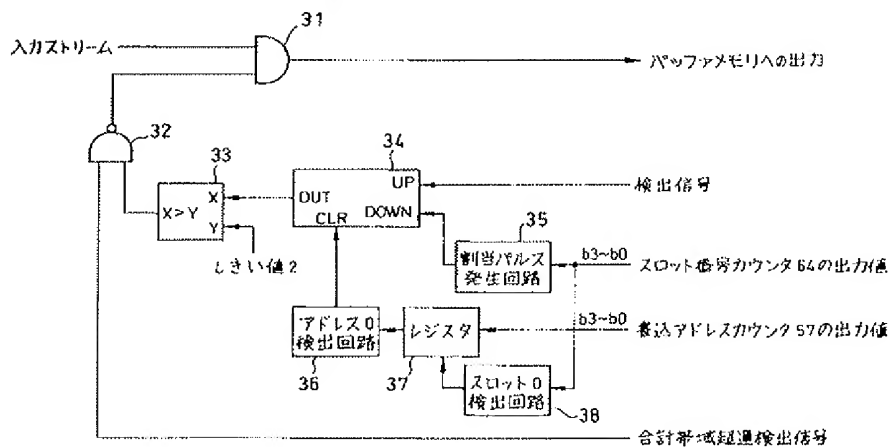


【図8】

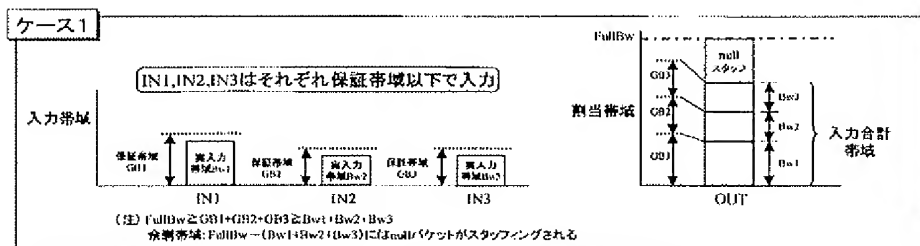


【図10】

デジタル多変化装置の個別帯域監視回路の
一構成例を示すブロック図

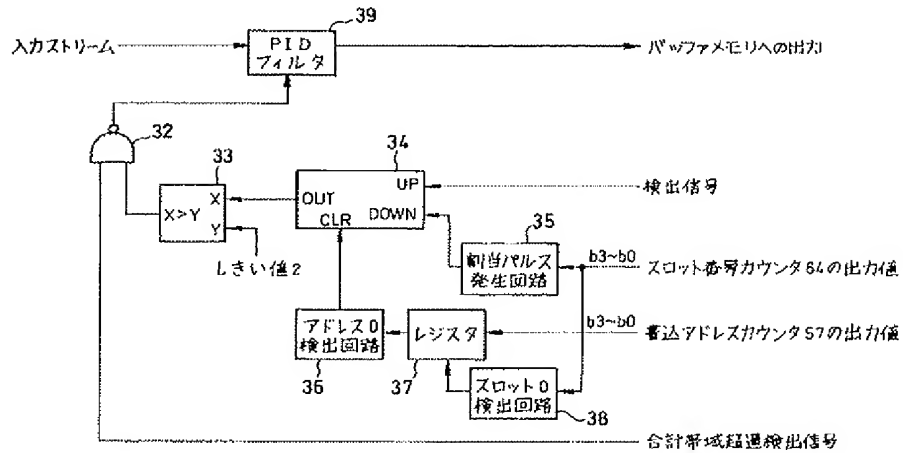


【図12】

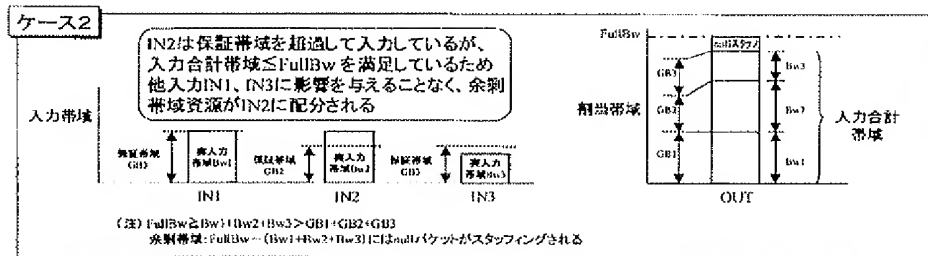


【図 1 1】

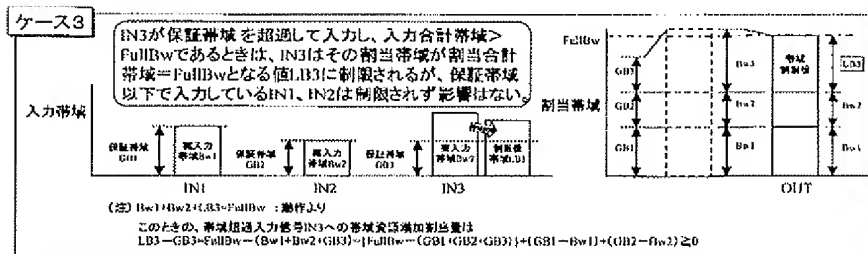
デジタル多量化装置の個別帯域監視回路の
別の構成例を示すブロック図



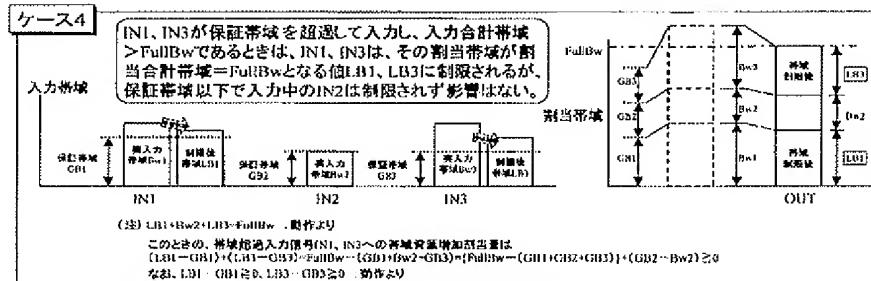
【図 1 3】



【図 1 4】



【圖 15】



【图 16】

従来技術におけるデジタル多重化装置の構成例を示す図

